

Étude expérimentale et numérique des contraintes mécaniques dans les architectures tridimensionnelles sur silicium pour les applications d'imagerie

Clément SART

Sous la direction de R. Estevez

Co-encadrée par V. Fiori, S. Galois-Garreignot et S. Lhostis (ST Microelectronics)

Vendredi 13 Décembre 2019 à 14h00

Amphithéâtre Chartreuse de l'IUT1 de Grenoble
(campus, 151 rue papèterie, SMH)

Jury :

Mme Hélène FRÉMONT, Maître de Conférences HDR, IMS Bordeaux, Présidente, Examinatrice

M. Philippe DJEMIA, Professeur, Université Paris 13, Rapporteur

M. Olivier THOMAS, Professeur, Aix Marseille Université, Rapporteur

Résumé : Poursuivant la course vers la miniaturisation et la performance des produits de la microélectronique, de nouvelles architectures sont continûment développées. Nous nous intéressons ici à des procédés d'assemblage émergents appliqués à des produits spécifiques.

D'une part, les architectures sur silicium tridimensionnelles sont de plus en plus utilisées aux dépens des empilements planaires. D'autre part, afin d'améliorer la performance des imageurs CMOS, ces dernières années la technologie d'éclairage par la face arrière a été développée, devant répondre à des spécifications d'intégration et de fonctionnement particulières. Un procédé innovant consiste dans l'empilement de ce type d'imageur sur un circuit logique de technologie plus avancée, par connexion directe de plots métalliques.

Ces travaux portent sur l'évaluation des contraintes thermomécaniques engendrées lors des procédés de fabrication pour cette architecture émergente.

Mots-clés : *Capteurs d'image CMOS - Collage hybride - Assemblage filaire - Capteurs de contraintes piezorésistifs - Simulation par éléments finis*